

PREDICTION CODING CIRCUIT AMONG MOVEMENT COMPENSATION FRAMES

Publication number: JP2217088 (A)

Publication date: 1990-08-29

Inventor(s): NIHARA TAKAMIZU +

Applicant(s): VICTOR COMPANY OF JAPAN +

Classification:

- International: H04N7/32; H04N7/32; (IPC1-7): H04N7/137

- European:

Application number: JP19890037885 1989021 7

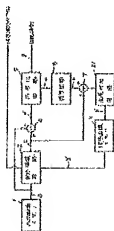
Priority number(s): JP19890037885 1989021 7

Also published as:

JP2743434 (B2)

Abstract of JP 2217088 (A)

PURPOSE:To attain the retrieval for the detection of dynamic vector in a range of + or -N picture elements even when the width is in an edge area for N picture element by adding N picture element to the start and end of each line of one frame picture respectively to a composite picture and adding N-line of picture elements to the start and end of one frame picture so as to form a picture of $(L+2N) \times (M+2N)$.; **CONSTITUTION:**A picture element addition circuit 21 is provided, which adds N-picture elements to the start and end of each line of one frame picture in a decoded picture outputted from an adder 7 respectively and adds picture elements of N lines to the start and end of one frame picture respectively when the dynamic vector detection range in a movement compensation circuit 2 is taken as + or -N picture elements ($N < L$, and M, N are positive integers) to form a picture with $(L+2N) \times (M+2N)$ picture elements. Thus, even in the edge region where the width is N picture elements, the retrieval for the detection of a dynamic vector in the range of + or -N picture elements is attained, the same processing is implemented in all regions and the processing is simplified.



Data supplied from the espacenet database — Worldwide

⑫ 公開特許公報(A) 平2-217088

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月29日

H 04 N 7/137

Z

6957-5C

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 動き補償フレーム間予測符号化回路

⑯ 特 願 平1-37885

⑰ 出 願 平1(1989)2月17日

⑱ 発 明 者 新 原 高 水 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

⑲ 出 願 人 日本ビクター株式会社 神奈川県横浜市神奈川区守屋町3丁目12番地

明 細 書

1. 発明の名称

動き補償フレーム間予測符号化回路

2. 特許請求の範囲

1 フレーム画像が $L \times M$ 画素(L, M は正の整数)で構成される入力テレビジョン信号と予測値との差を出力する減算器と、この減算器の出力を符号化する符号化回路と、この符号化回路の出力を復号する復号回路と、この復号回路の出力と前記予測値を加算する加算器と、この加算器の出力を1フレーム記憶するフレームメモリと、前記入力テレビジョン信号及び前記フレームメモリの出力信号を一定のブロックに分割し、各ブロックの動きベクトルを前記フレームメモリの出力信号をもとにして検出し、前記予測値を算出する動き補償回路とを備え、前記入力テレビジョンの動画像を動き補償を用いて予測符号化する動き補償フレーム間予測符号化回路において、

前記動き補償回路における動きベクトル検出範囲を $\pm N$ 画素($N < L, M; N$ は正の整数)とし

て、前記加算器から出力される復号画像に対し1フレーム画像の各ラインの始めと終わりにそれぞれ N 画素を付加すると共に、前記1フレーム画像の始めと終わりにそれぞれ N ラインの画素を付加し、 $(L+2N) \times (M+2N)$ 画素の画像とする画素付加回路を設けたことを特徴とする動き補償フレーム間予測符号化回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は1フレーム画像が $L \times M$ 画素(L, M は正の整数)で構成される入力テレビジョン信号を符号化する動き補償フレーム間予測符号化回路に関する。

(従来の技術)

従来より、動き補償フレーム間予測符号化は、テレビジョン信号の前フレーム画像に対する現フレーム画像の位置をベクトルとして検出し、そのベクトルを用いてフレーム間予測符号化を行なうものである。その際、ベクトルの検出は、通常は、テレビ画面を多数のブロック(8×8 や 16×16 程

度のブロック)に分割し、そのブロック毎に検出する。そのため、符号化処理もブロック毎に行なっていた。

第4図は従来の動き補償フレーム間予測符号化回路の一例の構成を示すブロック図である。

同図において、入力画像メモリ1には1フレーム画像が $L \times M$ 画素で構成される入力テレビジョン信号の現フレームの画像データが存在する。

また、1フレームメモリである復号画像メモリ3には入力画像メモリ1の画像データに対して1フレーム前の画像データを符号化・復号した $L \times M$ 画素の復号画像データが存在する。

そして、入力画像メモリ1の現フレームの入力画像データaと、復号画像メモリ3の前フレームの復号画像データbとが、動き補償回路2に入力される。

動き補償回路2では、テレビ画素を多数のブロック(8×8や16×16程度のブロック)に分割し、その各ブロック毎に入力画像データaと復号画像データbとの間、すなわち1フレーム間の画像

の差を動きベクトルとして検出し、更に、この動きベクトルと復号画像データbを用いて入力画像データaに近い画像データ(予測値)cを算出(合成)する。なお、検出された動きベクトルは、復号のために伝送する。

そして、合成された画像データ(予測値)cは減算器4に供給され、ここで、合成画像データ(予測値)cから入力画像データaを減算することで差分データdを求める。この差分データdは、符号化回路5で符号化(量子化)され、差分符号qとして伝送あるいは記録される。

一方、符号化回路5で符号化された画像データdは、復号回路6で復号され、加算器7に供給される。そして、加算器7では復号されたデータfと合成画像データ(予測値)cとを加算することで $L \times M$ 画素の復号画像データbを生成し、これを1フレームメモリである復号画像メモリ3に供給し、そこに記憶する。

第5図は上記第4図の従来の動き補償フレーム間予測符号化回路によって符号化されたデータ

- 3 -

を復号するための復号回路の一例の構成を示すブロック図である。

同図において、伝送あるいは記録された差分符号qは復号回路11で復号され、加算器12に供給される。

復号画像メモリ13に存在している1フレーム前の $L \times M$ 画素の復号画像データhは、そのまま求めるデータとして出力される一方、動き補償回路14に供給される。

この動き補償回路14では、伝送されてきた動きベクトルを用いて現フレームの画像データiを合成し、これと復号回路11の出力とを加算器12で加算することで、 $L \times M$ 画素の復号画像データhを生成し、これを1フレームメモリである復号画像メモリ13に供給し、そこに記憶する。
(発明が解決しようとする課題)

ところが、上記した従来回路では、復号画像メモリ3、13中の復号画像データが $L \times M$ 画素であるため、動き補償回路2、14の動きベクトル検出範囲を $\pm N$ 画素($N < L, M$; N は正の整数)と

- 4 -

したとき、第6図に示すように、 $L \times M$ 画素を9つの領域①～⑨(すなわち、縦が N 画素分の8つのエッジ領域①～⑧と1つの中央領域⑨)に分割したうちのエッジ領域①～⑧中のブロックにおいては、 $\pm N$ 画素の範囲での動きベクトル検出のための探索が行なえなかった。

例えば、領域①では x 方向で $-1 \sim -N$ まで(すなわち、図に示す復号画像データの左端から左方向に N 画素分)と y 方向で $1 \sim N$ まで(同じく上端から上方向に N 画素分)の領域に画素データが存在しないため、動きベクトル検出のための探索の範囲は x 方向で $0 \sim +N$ 画素、 y 方向で $0 \sim -N$ 画素となっていた。

このため、動きベクトルの検出において、領域①～⑧において、それぞれ処理を変える必要があり、処理が複雑になっていた。

そこで、本発明は上記した従来の技術の課題を解決した動き補償フレーム間予測符号化回路を提供することを目的とする。

(課題を解決するための手段)

- 5 -

- 6 -

本発明は上記の目的を達成するために、1フレーム画像が $L \times M$ 画素(L, M は正の整数)で構成される入力テレビジョン信号と予測値との差を出力する減算器と、この減算器の出力を符号化する符号化回路と、この符号化回路の出力を復号する復号回路と、この復号回路の出力と前記予測値とを加算する加算器と、この加算器の出力を1フレーム記憶するフレームメモリと、前記入力テレビジョン信号及び前記フレームメモリからの出力信号を一定のブロックに分割し、各ブロックの動きベクトルを前記フレームメモリの出力信号をもとにして検出し、前記予測値を算出する動き補償回路とを備え、前記入力テレビジョンの動画像を動き補償を用いて予測符号化する動き補償フレーム間予測符号化回路において、前記動き補償回路における動きベクトル検出範囲を $\pm N$ 画素($N < L, M; N$ は正の整数)として、前記加算器から出力される復号画像に対し1フレーム画像の各ラインの始めと終わりにそれぞれ N 画素を付加すると共に、前記1フレーム画像の始めと終わりにそれぞれ

れ N ラインの画素を付加し、 $(L+2N) \times (M+2N)$ 画素の画像とする画素付加回路を設けたことを特徴とする動き補償フレーム間予測符号化回路を提供するものである。

(作 用)

上記した構成の動き補償フレーム間予測符号化回路においては、復号画像に対し1フレーム画像の各ラインの始めと終わりにそれぞれ N 画素を付加すると共に、1フレーム画像の始めと終わりにそれぞれ N ラインの画素を付加し、 $(L+2N) \times (M+2N)$ の画像とすることにより、端が N 画素分のエッジ領域においても $\pm N$ 画素の範囲での動きベクトル検出のための探索が可能となる。

(実 施 例)

本発明による動き補償フレーム間予測符号化回路の一実施例について以下に図面と共に説明する。

第1図は本発明による動き補償フレーム間予測符号化回路の一実施例の構成を示すブロック図、第2図は第1図の本発明の動き補償フレーム間予測符号化回路によって符号化されたデータを復号

- 7 -

するための復号回路の一例の構成を示すブロック図である。

第1図において第4図と異なるのは、第1図における復号処理系である加算器7と復号画像メモリ3との間に、加算器7から出力される復号画像データに対し1フレーム画像の各ラインの始めと終わりにそれぞれ N 画素を付加すると共に、1フレーム画像の始めと終わりにそれぞれ N ラインの画素を付加し、 $(L+2N) \times (M+2N)$ 画素の画像とする画素付加回路21を設けていることである。

画素付加回路21では、加算器7から出力される $L \times M$ 画素の復号画像データb'(第3図中の領域Iのデータ)に対して、第3図に示すように領域Iの周囲の領域IIのデータ(すなわち、1フレーム画像の各ラインの始めと終わりの N 画素と、1フレーム画像の始めと終わりの N ラインの画素)を、前画、後画の画素値、もしくは近傍画素値よりの予測値により付加し、 $(L+2N) \times (M+2N)$ 画素の画像データb'とする。

- 9 -

- 8 -

そして、この $(L+2N) \times (M+2N)$ 画素の画像データb'を1フレームメモリである復号画像メモリ3に供給し、そこに記憶する。

動き補償回路2では、動きベクトルを検出する際、第8図に示す幅が N 画素分のエッジ領域①〜④においても、第3図に示すような周囲の領域IIのデータを付加した画像データb'を復号画像メモリ3から読み出すことにより、 $\pm N$ 画素の範囲での動きベクトル検出のための探索が可能となり、この画像データb'を用いて $L \times M$ 画素の合成復号データ(予測値)c'を生成できる。

また、第2図の復号回路において第5図と異なるのは、第2図における加算器12と復号画像メモリ13との間に、第1図の画素付加回路21と同様に加算器12から出力される復号画像データh'に対し1フレーム画像の各ラインの始めと終わりにそれぞれ N 画素を付加すると共に、1フレーム画像の始めと終わりにそれぞれ N ラインの画素を付加し、 $(L+2N) \times (M+2N)$ 画素の画像とする画素付加回路22を設け、更に、復号画像メモリ13の

- 10 -

出力部に画素付加回路22で付加した画素を削除し元に戻すための削除回路23を設けていることである。

画素付加回路22では、第1図の画素付加回路21での画素付加の手法と同じ手法（すなわち、第1図での画素付加が前値、後値の画素値による整合は前値、後値の画素値を用い、近傍画素値よりの予測値による場合は同一手順、予測法による予測値を用い）により、加算器12から出力される $L \times M$ 画素の復号画像データ h （第3図中の領域Ⅰのデータ）に対して、第3図に示すように領域Ⅰの周囲の領域Ⅱのデータ（すなわち、1フレーム画像の各ラインの始めと終わりの N 画素と、1フレーム画像の始めと終わりの N ラインの画素）を付加し、 $(L+2N) \times (M+2N)$ 画素の画像データ h' とする。

そして、この $(L+2N) \times (M+2N)$ 画素の画像データ h' を1フレームメモリである復号画像メモリ3に供給し、そこに記憶する。

動き補償回路14では、 $(L+2N) \times (M+2$

$N)$ 画素の画像データ h' と伝送されてきた動きベクトルより $L \times M$ 画素の画像データ（予測値） l' を合成する。

そして、この合成画像データ（予測値） l' と伝送されてきた差分符号を復号した復号回路11の出力とを加算器12で加算することで、復号画像データ h を生成し、更に、前記したように画素付加回路22で領域Ⅱのデータを付加し、 $(L+2N) \times (M+2N)$ 画素の画像データ h' とし、これを復号画像メモリ3に記憶する。

最後に、復号画像メモリ3中の $(L+2N) \times (M+2N)$ 画素の画像データ h' より、先に画素付加回路22で付加した第3図の周辺領域Ⅱのデータを削除回路23で削除し、第3図の領域Ⅰのみの画像データを、求めるデータとして出力する。（発明の効果）

以上の如く、本発明の動き補償フレーム間予測符号化回路によれば、復号画像に対し1フレーム画像の各ラインの始めと終わりにそれぞれ N 画素を付加すると共に、1フレーム画像の始めと終わ

- 11 -

りにそれぞれ N ラインの画素を付加し、 $(L+2N) \times (M+2N)$ の画像とすることにより、端が N 画素分のエッジ領域においても $L \times M$ 画素の範囲での動きベクトル検出のための探索が可能となり、従来のように領域によって処理を変える必要もなくなり、全ての領域で同じ処理が行なえ、処理が簡単になる。

4、図面の簡単な説明

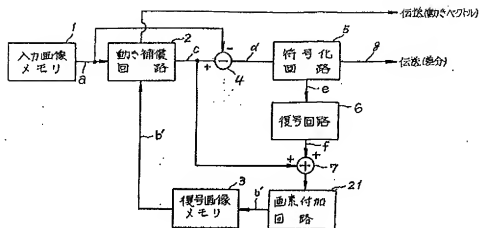
第1図は本発明による動き補償フレーム間予測符号化回路の一実施例の構成を示すブロック図、第2図は第1図の本発明回路によって符号化されたデータを復号するための復号回路の一例の構成を示すブロック図、第3図は本発明回路の動作を説明するための図、第4図は従来の動き補償フレーム間予測符号化回路の一例の構成を示すブロック図、第5図は第4図の従来回路によって符号化されたデータを復号するための復号回路の一例の構成を示すブロック図、第6図は従来回路の問題を説明するための図である。

1…入力画像メモリ、2、14…動き補償回路、

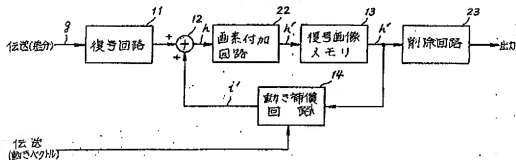
- 12 -

3、13…復号画像メモリ、4…減算器、5…符号化回路、6、11…復号回路、7、12…加算器、21、22…画素付加回路、23…削除回路。

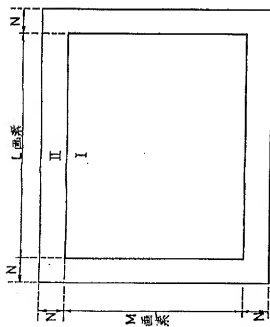
特 許 出 願 人 日本ビクター株式会社
代 理 者 近 木 邦 夫



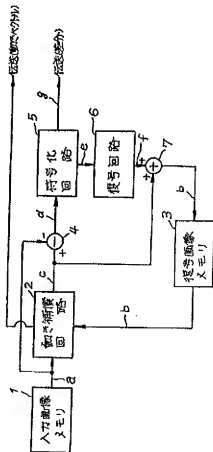
第 1 圖



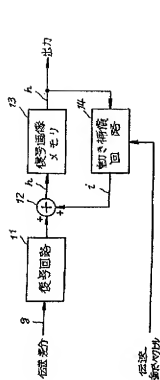
第 2 圖



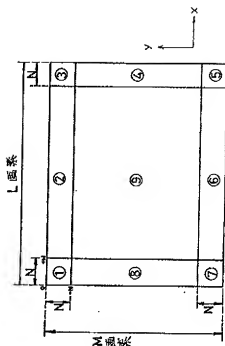
第 3 図



第 4 図



第 5 図



第 6 図